

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



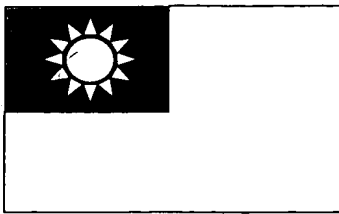
PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

| Prior Foreign Application Number(s) | Country | Foreign Filing Date (MM/DD/YYYY) | Priority Not Claimed | Certified Copy Attached? | |
|--|--------------|-------------------------------------|--------------------------|-------------------------------------|--------------------------|
| | | | | YES | NO |
| 092124738 | Taiwan R.O.C | 09/08/2003 | <input type="checkbox"/> | <input checked="" type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| | | | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 09 月 08 日
Application Date

申請案號：092124738
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 10 月 21 日
Issue Date

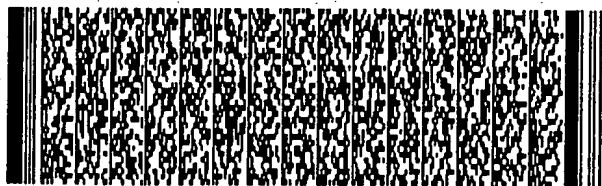
發文字號：09221064830
Serial No.

| | |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： | |

(以上各欄由本局填註)

發明專利說明書

| | | |
|--------------------|-----------------------|---|
| 一、 發明名稱 | 中 文 | 記憶體之資料清除方法及其相關裝置 |
| | 英 文 | METHOD AND RELATED APPARATUS FOR CLEARING DATA IN A MEMORY DEVICE |
| 二、 發明人 (共2人) | 姓 名 (中文) | 1. 莊榮城 |
| | 姓 名 (英文) | 1. Chuang, Eric |
| | 國 籍 (中英文) | 1. 中華民國 TW |
| | 住居所 (中 文) | 1. 台北縣新店市中正路五三三號八樓 |
| | 住居所 (英 文) | 1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C. |
| 三、 申請人 (共1人) | 名稱或 姓 名 (中文) | 1. 威盛電子股份有限公司 |
| | 名稱或 姓 名 (英文) | 1. VIA TECHNOLOGIES, INC. |
| | 國 籍 (中英文) | 1. 中華民國 TW |
| | 住居所 (營業所) (中 文) | 1. 台北縣新店市中正路五三三號八樓 (本地址與前向貴局申請者相同) |
| | 住居所 (營業所) (英 文) | 1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C. |
| | 代表人 (中文) | 1. 王雪紅 |
| | 代表人 (英文) | 1. Wang, Hsueh-Hung |



| | |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： | |

(以上各欄由本局填註)

發明專利說明書

| | | |
|--------------------|---------------------------|---|
| 一、 發明名稱 | 中 文 | |
| | 英 文 | |
| 二、 發明人 (共2人) | 姓 名 (中 文) | 2. 顏清書 |
| | 姓 名 (英 文) | 2. Yen, Macalas |
| | 國 籍 (中 英 文) | 2. 中華民國 TW |
| | 住 居 所 (中 文) | 2. 台北縣新店市中正路五三三號八樓 |
| | 住 居 所 (英 文) | 2. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C. |
| 三、 申請人 (共1人) | 名稱或 姓 名 (中 文) | |
| | 名稱或 姓 名 (英 文) | |
| | 國 籍 (中 英 文) | |
| | 住 居 所 (營 業 所) (中 文) | |
| | 住 居 所 (營 業 所) (英 文) | |
| | 代 表 人 (中 文) | |
| | 代 表 人 (英 文) | |



四、中文發明摘要 (發明名稱：記憶體之資料清除方法及其相關裝置)

本發明係提供一種記憶體之資料清除方法，使用於一電腦系統。電腦系統包含有一處理器，以及一記憶體控制電路，電連接於該處理器與該記憶體之間，用來控制該記憶體之資料存取。該資料清除方法包含將處理器產生一預定邏輯值，傳送到該記憶體控制電路；以及由該記憶體控制電路將該預定邏輯值，反覆寫入該記憶體之複數個記憶單元所記錄資料。

五、(一)、本案代表圖為：第 二 圖

(二)、本案代表圖之元件代表符號簡單說明

80 電腦系統

82 中央處理器

84 北橋電路

86 南橋電路

88 顯示控制電路

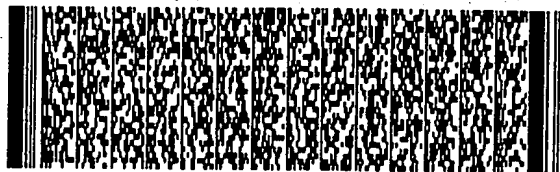
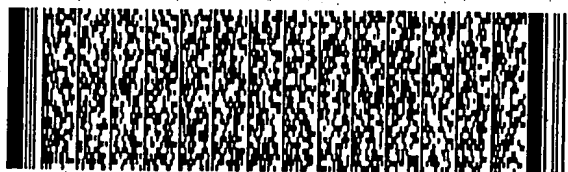
90 記憶體

92 輸入裝置

94 硬碟

六、英文發明摘要 (發明名稱：METHOD AND RELATED APPARATUS FOR CLEARING DATA IN A MEMORY DEVICE)

A method for clearing data in a memory device of a computer system. The computer system has a processor and a memory controller electrically connected between the processor and the memory device for controlling data access of the memory device. The method includes utilizing the processor for generating a predetermined logic value to the memory controller, and utilizing the



四、中文發明摘要 (發明名稱：記憶體之資料清除方法及其相關裝置)

| | |
|------------|------------|
| 96 螢幕 | 98 記憶體控制電路 |
| 100 資料清除模組 | 102 位址暫存器 |
| 104 資料暫存器 | 106 記憶單元 |

代表化學式

六、英文發明摘要 (發明名稱：METHOD AND RELATED APPARATUS FOR CLEARING DATA IN A MEMORY DEVICE)

memory controller for repeatedly overwriting data stored in memory cells of the memory device by the predetermined logic value.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

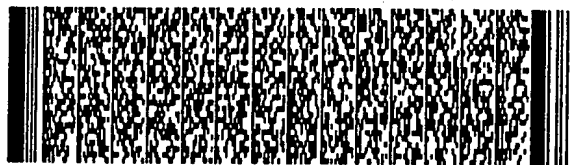
發明所屬之技術領域

本發明提供一種清除記憶體之儲存資料的方法及其相關裝置，尤指一種不需中央處理器干預而可清除記憶體之儲存資料的方法及其相關裝置。

先前技術

請參閱圖一為習知電腦系統的示意圖。電腦系統 10 包含有一中央處理器 12，一北橋電路 14，一南橋電路 16，一顯示控制電路 18，一螢幕 19，一記憶體 20，一硬碟 22，以及一輸入裝置 24。其中，記憶體 20 包含以矩陣方式排列之複數個記憶單元 26，亦即各記憶單元 26 分別對應一行位址與一列位址。記憶體 20 的資料存取操作主要係透過北橋電路 14 中的記憶體控制電路 30。記憶體控制電路 30 包含有一位址暫存器 32 以及一資料暫存器 34，其中位址暫存器 32 係用來儲存記憶體位址，而資料暫存器 34 係用來儲存欲寫入記憶體 20 的資料以及由自記憶體 20 所讀取的資料。

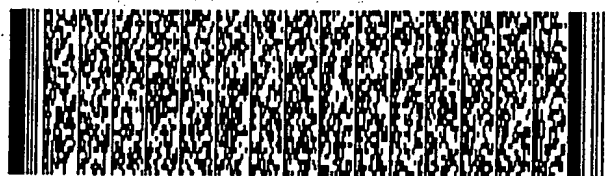
對於電腦系統 10 中所執行的程式而言，不論是驅動程式 (driver) 或應用程式 (application)，均需使用記憶體 20 來儲存資料。當一第一應用程式執行時，其於記憶體 20 中配置一記憶區塊來儲存運算資料，第一應用程式



五、發明說明 (2)

結束時會釋放該記憶區塊的資源，且第一應用程式於釋放記憶區塊會進行清除 (clear) 記憶區塊，例如將記憶區塊中每一記憶單元 26 所記錄之資料均以邏輯值 "1" 或邏輯值 "0" 覆寫，當一第二應用程式執行時，該第二應用程式便可讀取該記憶區塊之資料，反之若第二應用程式配置該記憶區塊時未即時清除記憶區塊，則可能會影響該第二應用程式的執行，並產生誤判而造成錯誤的運算結果，甚至可能造成電腦系統 10 當機。所以，當一程式需使用記憶體 20 中一預定容量的複數個記憶單元 26 來紀錄運算資料時，會先清除該複數個記憶單元 26 以使紀錄邏輯值 "1" 或邏輯值 "0"。因此當中央處理器 12 執行上述資料清除的程式碼時，中央處理器 12 會輸出對應該預定容量之每一記憶單元 26 的記憶體位址至位址暫存器 32，同時中央處理器 12 會反覆地輸出邏輯值 "1" 或邏輯 "0" 至資料暫存器 34 中，換句話說，若該預定容量係為 3MB，則中央處理器 12 會輸出 2400 萬次的邏輯值 "1" 至資料暫存器 34 以清除記憶體 20 中 2400 萬個記憶單元 26 (對應 3MB 的容量)。對於清除記憶體 20 中的資料而言，中央處理器 12 需耗費許多時間來重複地輸出邏輯值 "1" 或 "0" 寫入記憶體 20，將造成中央處理器 12 的效能受影響，此外，對中央處理器 12 與北橋電路 14 之間匯流排的有限頻寬，也會降低電腦系統 10 的整體效能。

發明內容



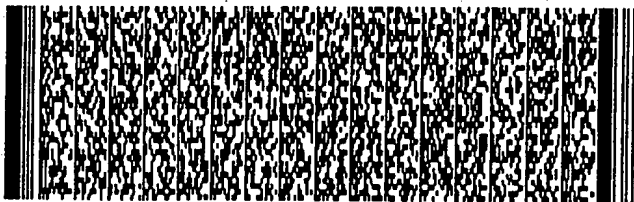
五、發明說明 (3)

因此本發明之主要目的在於提供一種記憶體之資料清除方法及其相關裝置，以解決上述問題。

腦控制：寫一電體控有電覆於一憶來含制反用一，法體值，使及間方憶輯。法，以之除記邏輯。方器憶料到預錄資清除記資送該記清處該體傳將所料一與憶，路元資有器記值電單之合理該輯制憶體包處，邏控記憶更該取定體個記統於存預憶數一腦連資生該之供電電之產由體提該，體器及憶明，路憶理以記發統電記處；該本系統該將路入

控制單元除存貯來單連含之模用記憶電路包單清暫錄器，記，路憶料料記處理數個電制個一該元所處複制控數及至單一有控體複以送憶：具體憶該；值記包含，憶記應器輯些系統，一以及間儲料預覆腦；一以之來資一一種運資記器址傳輯電作料憶；送一提供系統存與暫體器定提系統儲器址憶理預另腦別理位記處該明電分處一個將使發該，該：數，將。本單元於有複組器料。

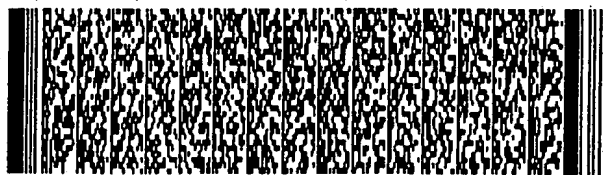
實施方式



五、發明說明 (4)

請參閱圖三為本發明第一種電腦系統的示意圖。電腦系統 80 包含有一中央處理器 82，一北橋電路 84，一南橋電路 86，一顯示控制電路 88，一記憶體 90，一輸入裝置 92，一硬碟 94，以及一螢幕 96。北橋電路 84 中設置有一記憶體控制電路 98，且記憶體控制電路 98 包含有一資料清除模組 100，一位址暫存器 102，以及一資料暫存器 104。記憶體 90 設置有矩陣的方式排列之複數個記憶單元 106，即每一記憶單元 106 對應一行位址與一列位址。記憶體控制電路 98 係用來控制記憶體 90 的資料存取，其中位址暫存器 102 係用來儲存記憶體位址，而資料暫存器 104 係用來儲存欲寫入記憶體 90 之資料或自記憶體 90 讀取的資料。本實施例中，記憶體控制電路 98 中增加的資料清除模組 100 可輸出一預定邏輯值（例如 "1" 或 "0"）來覆寫記憶體 90 中的記憶單元 106，以清除記憶單元 106 所紀錄的任何資料，即記憶體控制電路 98 因為設置有資料清除模組 100 而使記憶體控制電路 98 本身即具有獨立清除記憶體 90 之儲存資料的功能。

資料清除模組 100 的運作敘述如下，當電腦系統 80 啟動而完成一開機程序後會載入一作業系統（operating system, OS），使用者經由輸入裝置 92 輸入一控制指令以觸發該作業系統執行一應用程式，該應用程式會透過該作業系統於記憶體 90 中配置一記憶容量，用以儲存運算資料。當記憶單元 106 用來儲存運算資料時，應用程式

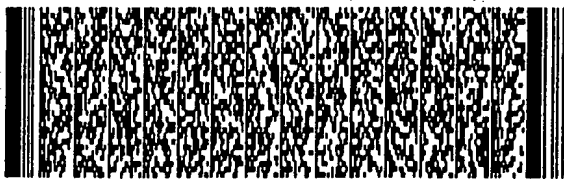


五、發明說明 (5)

會先清除記憶單元 106 中的儲存資料以避免該應用程式運作時可能產生錯誤的運算結果。因此中央處理器 82 依據應用程式之程式碼輸出一控制指令至記憶體控制電路 98 以啟動資料清除模組 100，此外，中央處理器 82 將欲清除資料之記憶單元 106 的記憶體位址傳輸至位址暫存器 102。然後，資料清除模組 100 便依據中央處理器 82 決定使用邏輯值 "1" 或邏輯值 "0" 覆寫對應該記憶容量的記憶單元 106 的儲存資料。

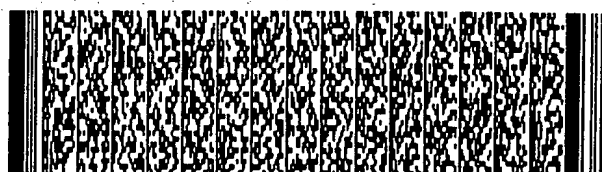
如上所述，當進行資料清除的運作時，覆寫記憶單元 106 所需的邏輯值由中央處理器 82 產生且只需要一次輸出到資料清除模組 100，以啟動資料清除的操作時，中央處理器 82 不需耗費時間來反覆產生該邏輯值至資料暫存器 104，因此可更有效率地處理其他程式而產生較佳的效能。此外，中央處理器 82 不需傳輸資料至資料暫存器 104，而是直接一次輸出邏輯值到資料清除模組 100，因此不會在傳輸該邏輯值時佔用中央處理器 82 與北橋電路 84 之間匯流排的有限頻寬。

此外，記憶體 90 中移動的資料會包含有複數個資料位元，一般記憶體控制電路 98 係以實體記憶體位址（例如利用記憶體位址表單（memory address table）方式）來存取記憶體 90 中的記憶單元 106。請參閱圖三為圖二所示之內部資料移動控制電路 100 存取記憶體 90 所使用之記憶



五、發明說明 (6)

體位址表單的資料結構示意圖。記憶體位址表單 107 包含有三個欄位，其中欄位 108a、108b、108n 係用來紀錄實體記憶體位址，欄位 110a、110b、110n 則紀錄一旗標 (flag)，用來表示資料是否結束 (end of file, EOF)，以及欄位 112a、112b、112n 係用來指出自欄位 108 所儲存之實體記憶體位址起需依序讀取的位元長度。當一程式欲於記憶體 90 中進行資料的移動操作，該程式利用電腦系統 80 之作業系統取得資料記錄於記憶體 90 中相對應實體記憶體位址的資訊，並產生圖三所示之記憶體位址表單 107，同時會將記憶體位址表單 107 儲存於記憶體 90 中一預定記憶區塊中。然後，該程式便可輸出一指令來啟動內部資料移動控制電路 100 來依據記憶體位址表單 107 以正確地擷取資料。因此，內部資料移動控制電路 100 可讀取欄位 108a 所記錄之記憶體位址 ADDRESSa，然後依據欄位 112a 所記錄的位元長度 LENGTHa 而自記憶體位址 ADDRESSa 起連續讀取複數個位元逐一寫入位址暫存器 102。此外，由於欄位 110a 所紀錄的旗標數值為 "0"，亦即該資料尚未結束，因此內部資料移動控制電路 100 隨即讀取欄位 108b 所記錄之記憶體位址 ADDRESSb，並依據欄位 112b 所記錄的位元長度 LENGTHb 來自記憶體位址 ADDRESSb 起連續讀取複數個位元，該複數個位元的個數等於位元長度 LENGTHb，同樣地，由於欄位 110b 所紀錄的旗標數值為 "0"，亦即該資料仍尚未結束，所以內部資料移動控制電路 100 會依據記憶體位址表單 107 來不斷地讀



五、發明說明 (7)

取記憶體 90，直到內部資料移動控制電路 100 依據欄位 108n 所紀錄的記憶體位址 ADDRESSn 以及欄位 112n 所紀錄的位元長度 LENGTHn 來讀取複數個位元時，由於欄位 110n 所紀錄的旗標值為 "1"，表示當內部資料移動控制電路 100 讀出對應位元長度 LENGTHn 之數量的位元時，資料已全部由內部資料移動控制電路 100 所讀取。同樣地，當記憶體控制電路 98 欲將資料寫入記憶體 90 時，作業系統亦會產生如圖四所示之記憶體位址表單 107，用來紀錄寫入資料至記憶體 90 所需之實體記憶體位址的資訊，因此內部資料移動控制電路 100 便可依據另一記憶體位址表單 107 所提供的記憶體位址資訊來將資料暫存器 104 所紀錄的資料寫入記憶體 90 中相關記憶單元 106 中。

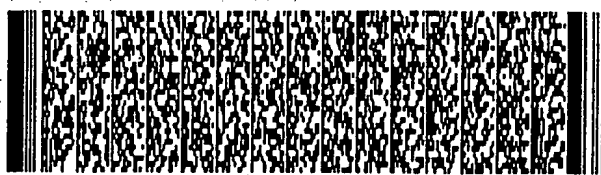
若資料記錄於記憶體 90 而對應複數個實體記憶體位址 106a 且為非連續時，則需透過圖四所示之記憶體位址表單 107 來讀取資料，當然若移動到實體記憶體位址 106b 為非連續時，亦可透過記憶體位址表單 107 來分別作寫入儲存之動作。然而若資料記錄於記憶體 90 而對應複數個實體記憶體位址為連續時，作業系統僅需提供資料於記憶體 90 中的來源記憶體位址，資料的位元長度，以及資料移動至記憶體 90 之目標記憶體位址，內部資料移動控制電路 100 便可自來源記憶體位址起逐一讀取出對應位元長度的資料，並依據目標記憶體位址與資料的位元長度而自目標記憶體位址起逐一寫入對應位元長度的資料，完



五、發明說明 (8)

成資料儲存的操作。當然上述目標記憶體位址可能不只一個，在此情況下會儲存於不同目標記憶體位址下，我們亦可利用記憶體位址表單 107 來做事當的控制。

請參閱圖四為本發明第二種電腦系統的示意圖。電腦系統 120 包含有一中央處理器 122，一北橋電路 124，一南橋電路 126，一螢幕 128，一記憶體 130，一輸入裝置 132，一硬碟 134。北橋電路 124 設置有一記憶體控制電路 136 以及一顯示控制電路 138，其中記憶體控制電路 136 包含有一資料清除模組 140，一位址暫存器 142，一資料暫存器 144。本實施例中記憶體 130 的記憶容量被劃分為一系統記憶體 146 以及一顯示記憶體 148，於系統記憶體 146 與顯示記憶體 148 中均設置有以矩陣方式排列複數個記憶單元 150。由於顯示控制電路 138 係整合於北橋電路 124 中，所以電腦系統 120 係應用習知共用記憶體架構 (unified memory architecture, UMA) 來提供顯示記憶體 138 運作所需的顯示記憶體，亦即中央處理器 122 與顯示控制電路 138 共用記憶體 130 來存取資料，換句話說，中央處理器 122 係使用記憶體 130 中的系統記憶體 146，而顯示控制電路 138 則使用記憶體 130 中的顯示記憶體 148。圖四所示之電腦系統 120 與圖二所示之電腦系統 80 中的同名元件具有相同的功能，因此不再重複贅述。本實施例中，記憶體控制電路 136 中的內部資料移動控制電路 140 與第二圖中之內部資料移動控制電路 100 功用相同，因此當資料清除



五、發明說明 (9)

模組 140 被啟動來控制資料清除的操作時，中央處理器 122 便不需耗費時間來重複地產生邏輯值至資料暫存器 144，因此可更有效率地處理其他程式而產生較佳的效能，也不會在傳輸邏輯值下佔用中央處理器 122 與北橋電路 124 之間匯流排的有限頻寬。

當然本實施例的內部資料移動控制電路 140 亦可應用，複數個實體記憶體位址係為非連續時，內部資料移動控制電路透過圖三所示之記憶體位址表單 107 來進行資料的讀取與寫入；若複數個實體記憶體位址係為連續時，僅需提供資料儲存於記憶體 130 中的來源記憶體位址，資料的位元長度，以及資料移動至記憶體 130 之目標記憶體位址等資訊予內部資料移動控制電路 140 即可，其運作與上述相同在此不再重複說明。

本實施例中，資料清除模組 140 亦可用來清除顯示記憶體 148 中的記憶單元 150，其操作敘述如下。已知顯示控制電路 138 係使用顯示記憶體 148 來儲存 2D 圖形運算及 3D 圖形運算的運算資料，一般而言，顯示記憶體會配置兩記憶區塊，其中一記憶區塊係用來作為畫面緩衝器 (image buffer)，而另一記憶區塊則用來作為深度緩衝器 (Z buffer)，其中該畫面緩衝器係用來儲存對應螢幕 128 上每一像素的顯示資料 (例如灰階值)，而該深度緩衝器則是用來紀錄每一像素之顯示資料的相對應深度值。當



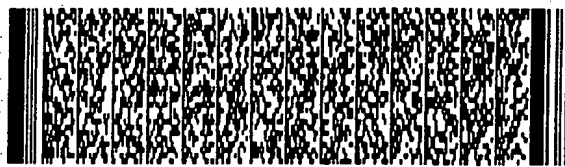
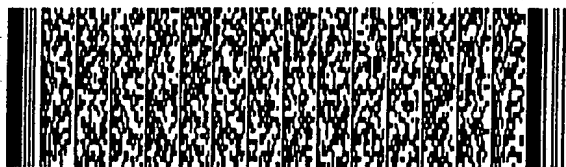
五、發明說明 (10)

顯示控制電路 138 讀取該畫面緩衝器所儲存之顯示資料來驅動螢幕 128 顯示一輸出畫面後，於顯示控制電路 138 欲進行下一輸出畫面的顯示資料計算前，顯示控制電路 138 會先對該畫面緩衝器與該深度緩衝器進行資料清除的操作。當中央處理器 122 並輸入一次的邏輯值 "1" 覆寫或以邏輯值 "0" 到資料清除模組 140，並將對應畫面緩衝器與深度緩衝器之記憶體位址會傳輸至位址暫存器 142，同時資料清除模組 140 開始重複輸出一預定邏輯值

("1" 或 "0") 至資料暫存器 144，然後資料清除模組 140 便可依據位址暫存器 142 所記錄之記憶體位址將資料暫存器 144 中所記錄的預定邏輯值覆寫該畫面緩衝器與該深度緩衝器之記憶單元 150 的儲存資料。

由於資料清除電路 140 可控制顯示記憶體 148 的資料清除操作，不需中央處理器 122 干預顯示記憶體 148 的資料清除操作。，因此，中央處理器 122 便可更有效率地處理其他程式而產生較佳的效能中央處理器 122 與北橋電路 124 之間匯流排的有限頻寬也不會過度被佔用，而使電腦系統 120 具有較佳的效能。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一為習知第一種電腦系統的示意圖。

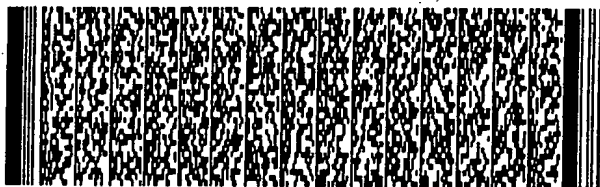
圖二為本發明第一種電腦系統的示意圖。

圖三為圖二所示之資料清除模組存取記憶體所使用之記憶體位址表單的資料結構示意圖。

圖四為本發明第二種電腦系統的示意圖。

圖式之符號說明

| | | | |
|------------|---------|------------|--------|
| 10、80、120 | 電腦系統 | 12、82、122 | 中央處理器 |
| 14、84、124 | 北橋電路 | 16、86、126 | 南橋電路 |
| 18、88、138 | 顯示控制電路 | 19、96、128 | 螢幕 |
| 20、90、130 | 記憶體 | 22、94、134 | 硬碟 |
| 24、92、132 | 輸入裝置 | 26、106、150 | 記憶單元 |
| 30、98、136 | 記憶體控制電路 | | |
| 32、102、142 | 位址暫存器 | | |
| 34、104、144 | 資料暫存器 | 146 | 系統記憶體 |
| 148 | 顯示記憶體 | 100、140 | 資料清除模組 |



六、申請專利範圍

1. 一種記憶體之資料清除方法，使用於一電腦系統，該電腦系統更包含有一處理器；以及一記憶體控制電路，電連接於該處理器與該記憶體之間，用來控制該記憶體之資料存取，該記憶體資料清除方法包含有：

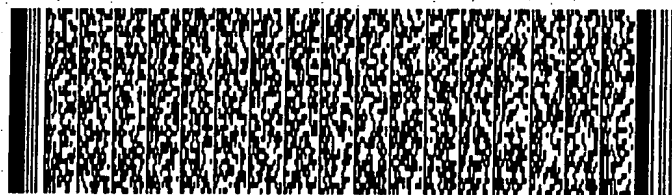
將處理器產生一預定邏輯值，傳送到該記憶體控制電路；以及

由該記憶體控制電路將該預定邏輯值，反覆寫入該記憶體之複數個記憶單元所記錄資料。

2. 如申請專利範圍第1項所述之記憶體之資料清除方法，其中該些記憶體單元位址為連續，則該些對應資料送到該記憶體控制電路，係將該些對應資料之一來源記憶體位址與一位元長度送到該記憶體控制電路。

3. 如申請專利範圍第1項所述之記憶體之資料清除方法，其中該些記憶體單元位址為不連續，則提供一第一記憶體位址表單，給該記憶體控制電路，用以接收該些對應資料。

4. 如申請專利範圍第3項所述之記憶體之資料清除方法，其中該第一記憶體位址表單包括複數個欄位，每一欄位具有一實體記憶體位址、一位元長度以及一旗標，分別紀錄該些第一記憶體位址之起始位址、位址之位元長度以及該些對應資料是否結束。



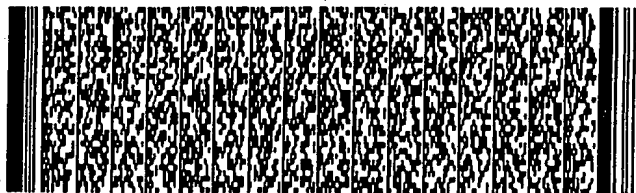
六、申請專利範圍

5. 如申請專利範圍第1項所述之記憶體之資料清除方法，其中該預定邏輯值係為邏輯"0"或邏輯"1"二者擇一。

6. 一種電腦系統，包含：

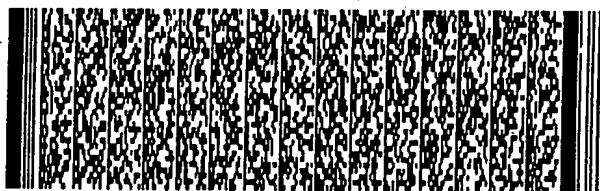
- 一處理器，用來控制該電腦系統之運作；
- 一記憶體，具有複數個記憶單元，分別儲存一資料；以及
- 一記憶體控制電路，電連接於該處理器與該記憶體之間，該記憶體控制電路包含有：
 - 一位址暫存器，用來儲存對應該複數個記憶單元之複數個記憶體位址；
 - 一資料暫存器；以及
 - 一資料清除模組，將處理器所傳送之一預定邏輯值送至該資料暫存器，使該預定邏輯值逐一覆寫該些記憶單元所記錄資料。

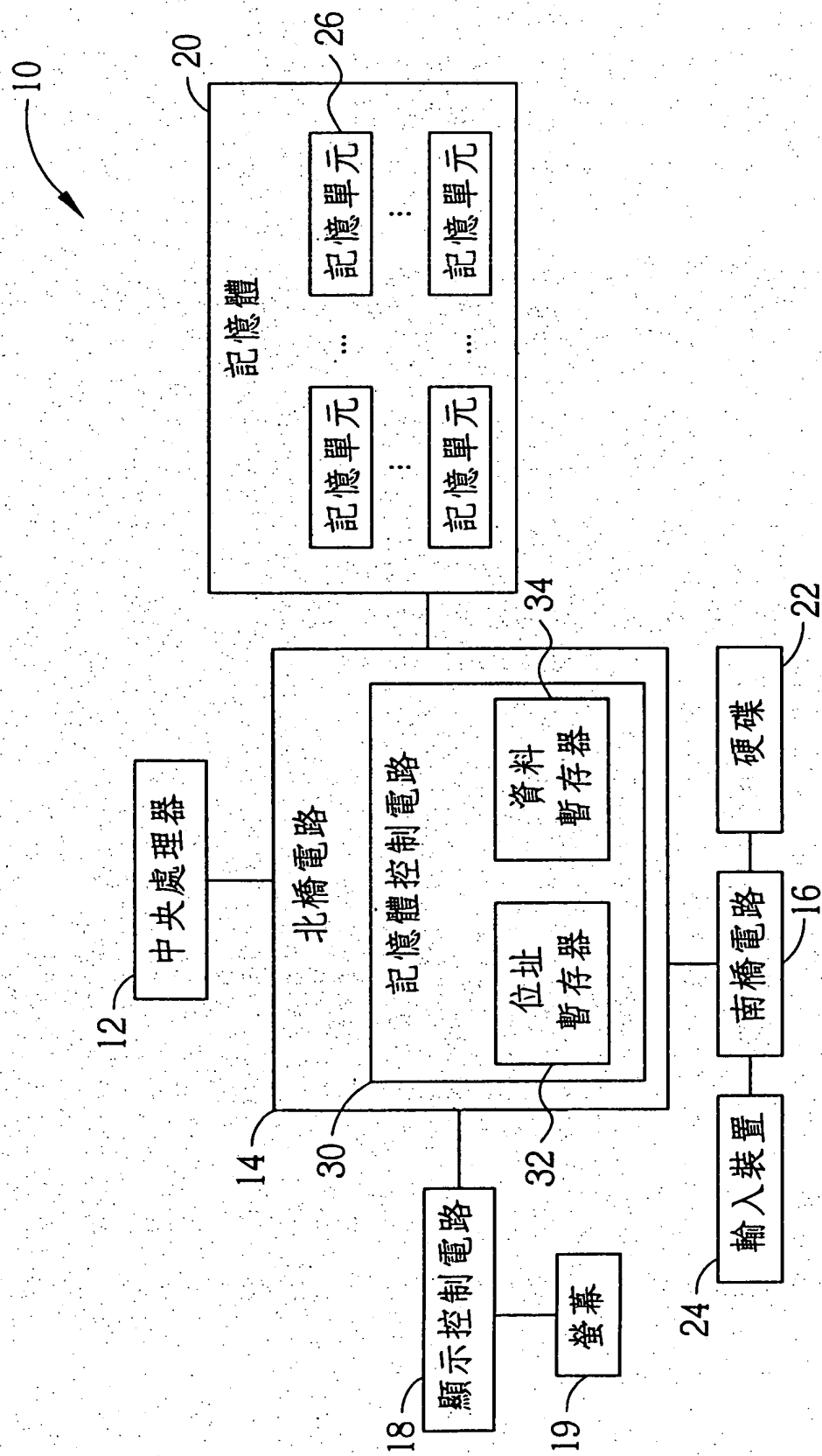
7. 如申請專利範圍第6項所述之電腦系統，其中該些記憶單元位址係為連續，該資料清除模組會依據對應該資料之一來源記憶體位址與該預定資料之位元長度，產生該複數個記憶體位址至該位址暫存器，並依據該些記憶體位址將該預定邏輯值寫入該些記憶單元。



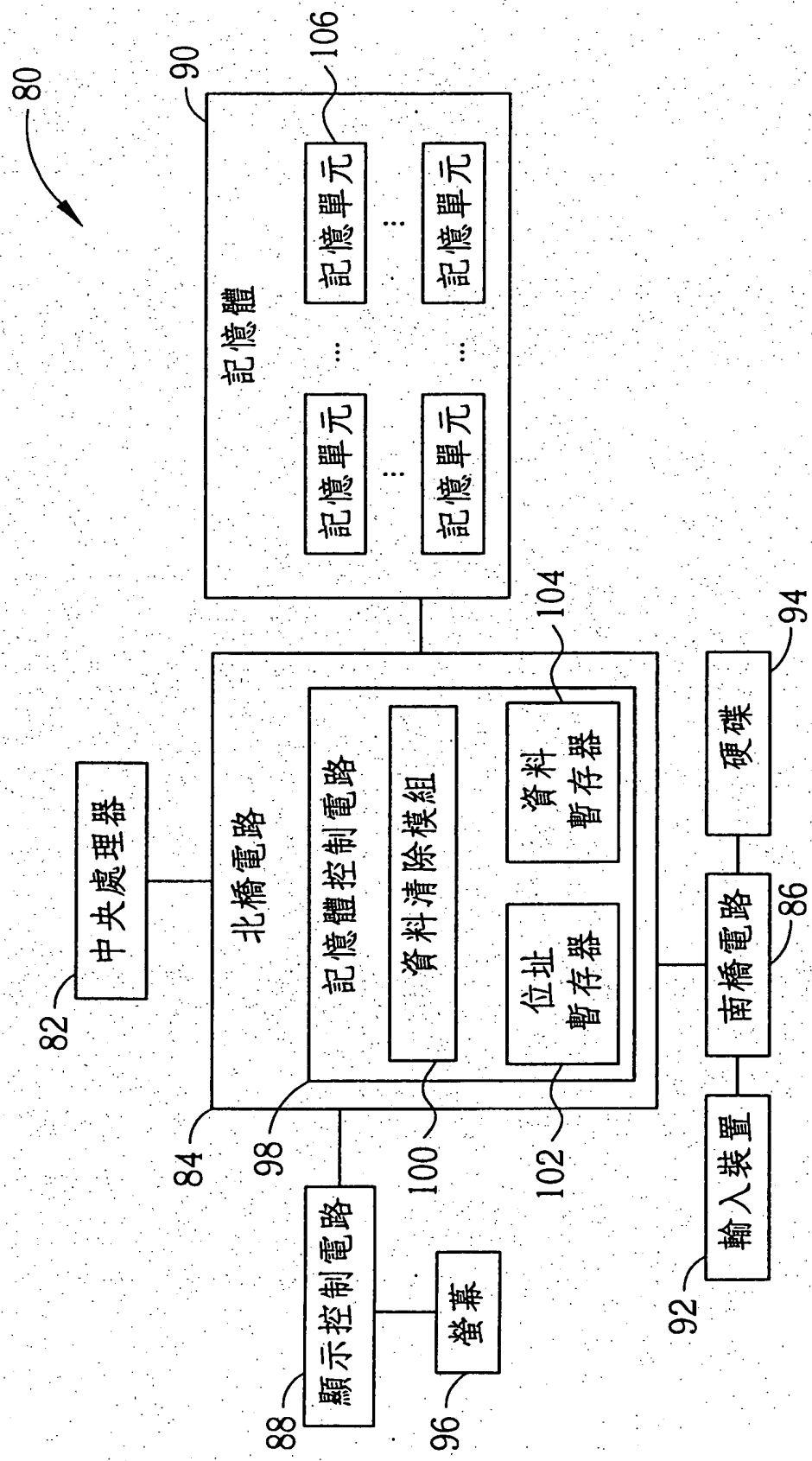
六、申請專利範圍

8. 如申請專利範圍第6項所述之電腦系統，其中該些複數個記憶單元位址係為不連續，該資料清除模組會使用一記憶體位址表單產生該複數個記憶體位址至該位址暫存器，並依據該些記憶體位址將該預定邏輯值寫入該些記憶單元。
9. 如申請專利範圍第8項所述之電腦系統，其中該記憶體位址表單係由該電腦系統之作業系統產生。
10. 如申請專利範圍第6項所述之電腦系統，其中該記憶體控制電路係設置於一北橋電路中。
11. 如申請專利範圍第10項所述之電腦系統，其中該北橋電路另包含有一顯示控制電路，用來產生影像訊號驅動該電腦系統之顯示裝置。
12. 如申請專利範圍第11項所述之電腦系統，其中該記憶體包含有一顯示記憶體，用來暫存該顯示控制電路之運算資料，以及一系統記憶體，用來暫存該處理器之運算資料。
13. 如申請專利範圍第12項所述之電腦系統，其中該複數個記憶單元係位於該顯示記憶體或該系統記憶體中。

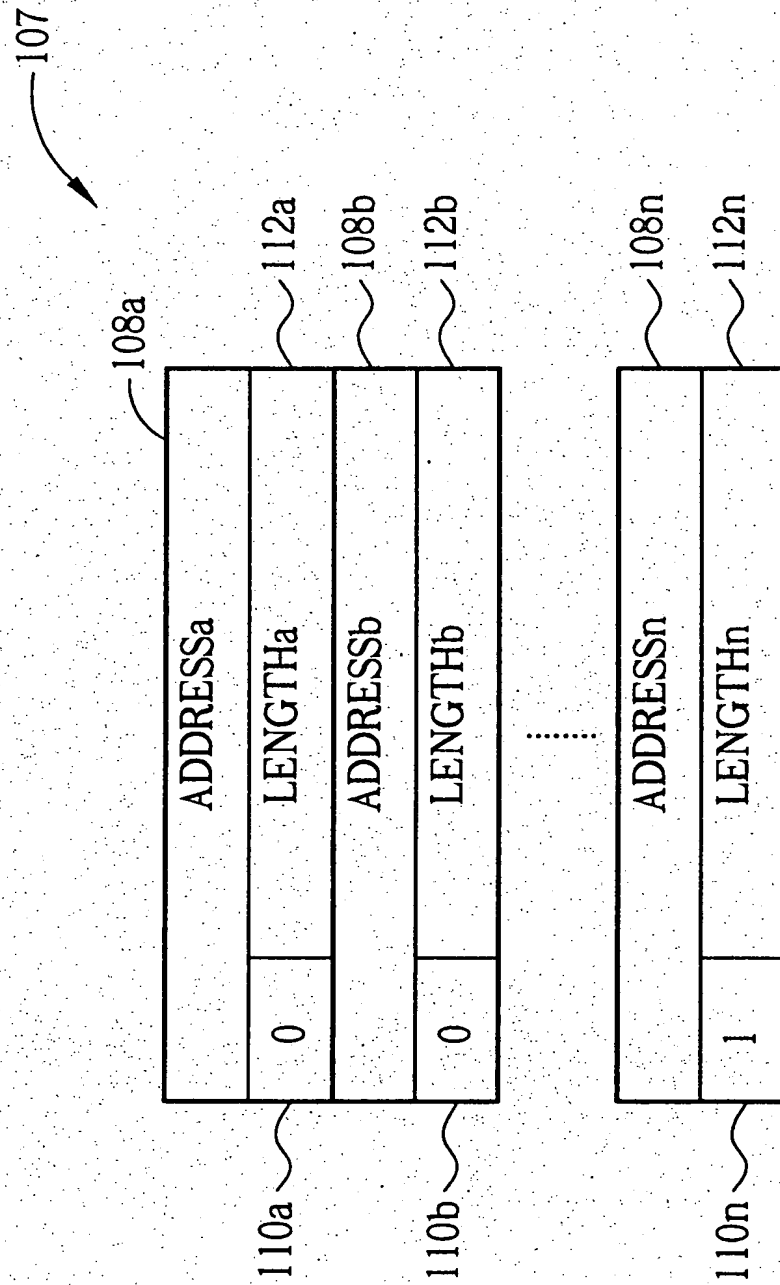




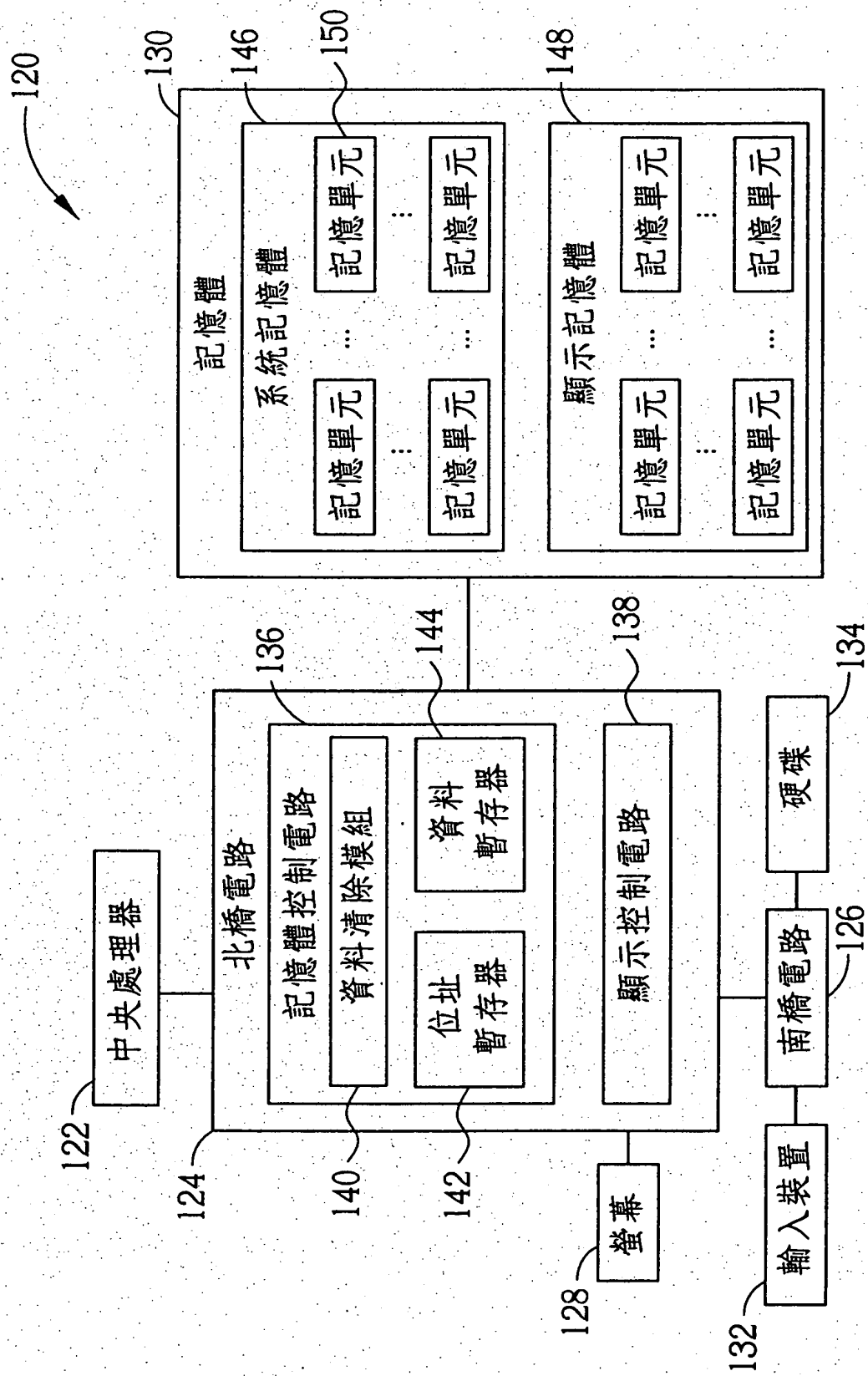
圖一



圖二

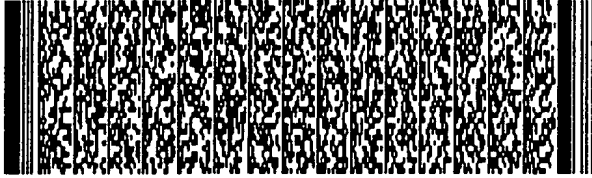


圖三



圖四

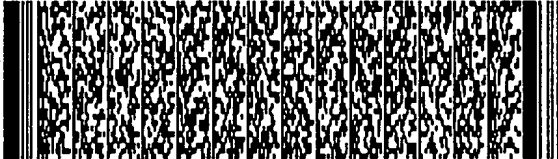
第 1/19 頁



第 2/19 頁



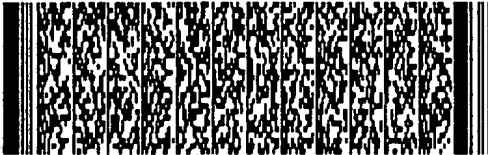
第 3/19 頁



第 3/19 頁



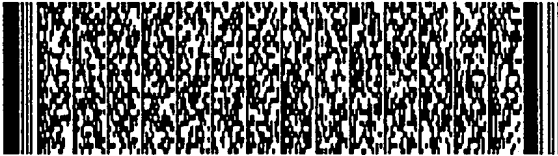
第 4/19 頁



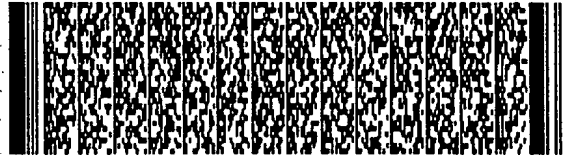
第 5/19 頁



第 6/19 頁



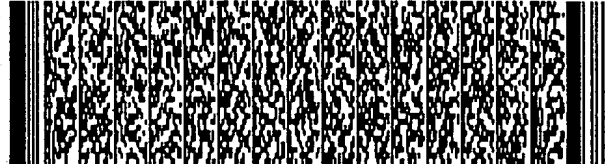
第 6/19 頁



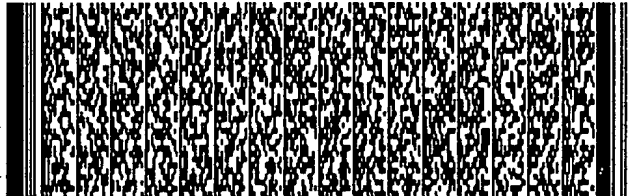
第 7/19 頁



第 7/19 頁



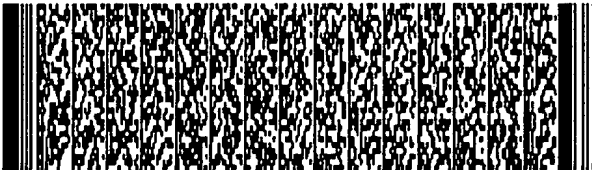
第 8/19 頁



第 9/19 頁



第 9/19 頁



第 10/19 頁



第 10/19 頁



第 11/19 頁



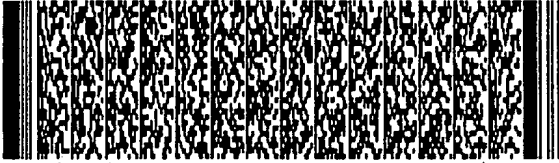
第 11/19 頁



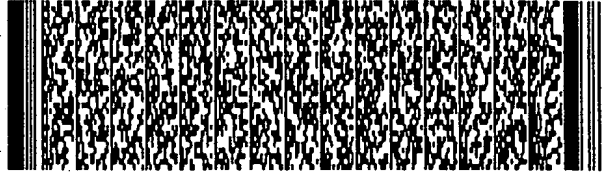
第 12/19 頁



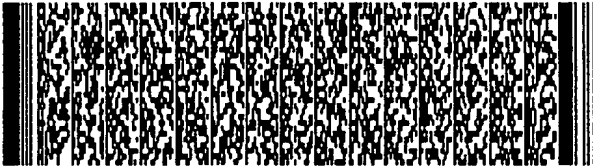
第 12/19 頁



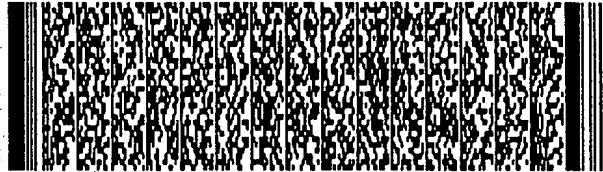
第 13/19 頁



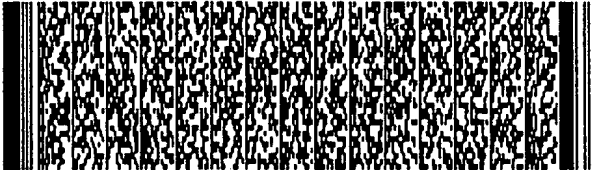
第 13/19 頁



第 14/19 頁



第 14/19 頁



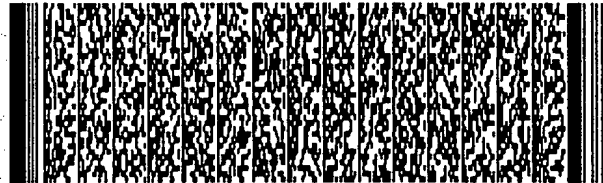
第 15/19 頁



第 15/19 頁



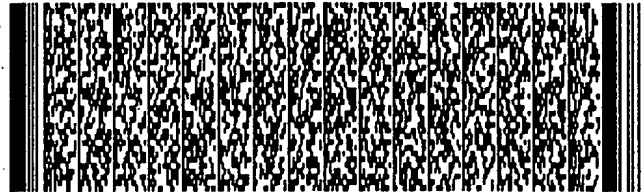
第 16/19 頁



第 17/19 頁



第 18/19 頁



第 19/19 頁

